

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-223617

(43)Date of publication of application : 13.08.1992

(51)Int.Cl. H03K 19/0175  
H01L 21/82  
H01L 27/092  
H03K 19/173

(21)Application number : 02-414233

(71)Applicant : RICOH CO LTD

(22)Date of filing : 25.12.1990

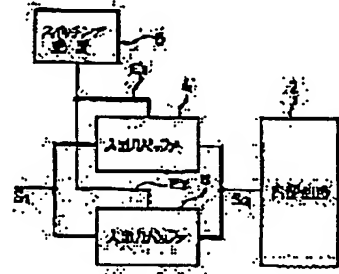
(72)Inventor : OTSUKI SATOSHI

## (54) INTERFACE FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PURPOSE:** To improve a generality concerned with an input/output interface by deciding the specification of the interface according to an application by a user who uses a semiconductor integrated circuit device.

**CONSTITUTION:** Plural input/output buffer circuits 4 and 6 whose voltage levels are different are provided at the input/output interface. Then, the plural input/output buffer circuits 4 and 6 are connected in parallel with the input/output signal line of an inside circuit 2 of the semiconductor integrated circuit device. A switching device 8 can be programmed at the user side, and either the input/output buffer circuit 4 or 6 is selected by enable signals E1 and E2 from the switching device 8, and the input/output buffer circuit is turned in an active state. An input/output signal S1 is transferred between an outside circuit and the selected input/output buffer circuit 4 or 6, and an input/output signal S2 is transferred between the inside circuit 2 and the selected input/output buffer circuit 4 or 6.



X2ITC 107502

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-223617

(43) 公開日 平成4年(1992) 8月12日

(51) Int. Cl. <sup>8</sup>	特許記号	庁内整理番号	F I	技術表示箇所
H03K 19/0175				
H01L 21/82				
27/092				
	8941-5J	H03K 19/00	101 Z	
	7638-4M	H01L 21/82	P	

審査請求 未請求 請求項の数3(全4頁) 最終頁に続く

(21) 出願番号 特願平2-414233

(22) 出願日 平成2年(1990)12月25日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番8号

(72) 発明者 大槻 聡

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

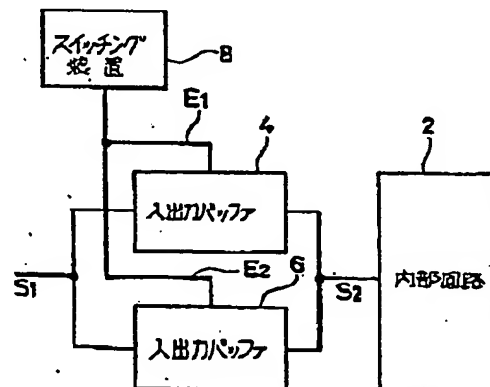
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 半導体集積回路装置のインターフェース

(57) 【要約】

【目的】 半導体集積回路装置を用いるユーザーが用途に応じて入出力インターフェースの規格を決定することができるようにして、インターフェースに関する汎用性を高める。

【構成】 入出力インターフェースに電圧レベルの異なる複数のバッファ回路4、5を設け、ユーザー側でスイッチング装置8にプログラムを施すことにより、いずれかのバッファ回路4又は5を選択できるようにする。



(2)

特開平4-223617

【特許請求の範囲】

【請求項1】 電圧レベルの異なる複数のバッファ回路と、いずれかのバッファ回路を選択する選択手段とを備えた半導体集積回路装置のインターフェース。

【請求項2】 駆動能力を選択できるバッファ回路と、このバッファ回路の駆動能力を選択する選択手段とを備えた半導体集積回路装置のインターフェース。

【請求項3】 電圧レベル及び駆動能力を選択できるバッファ回路と、このバッファ回路の電圧レベルと駆動能力を選択する選択手段とを備えた半導体集積回路装置のインターフェース。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は汎用の半導体集積回路装置、ゲートアレイ、PLD（プログラマブル・ロジック・デバイス）などの半導体集積回路装置における入出力インターフェースに関するものである。

【0002】

【従来の技術】 一般の半導体集積回路装置では、各チップごとにその入出力インターフェースの規格がTTLレベル、CMOSレベル、ECL100Kレベル又は独自の規格というように、唯一の規格が選択されて設定されている。また、ゲートアレイの場合はゲートアレイを設計する段階においてその入出力インターフェースの選択がなされる。

【0003】

【発明が解決しようとする課題】 汎用の半導体集積回路装置にしても、ゲートアレイにしても、完成してユーザーの手に届いた段階ではそのインターフェースの規格は唯一のものに設定されており、ユーザー自身が使用時に規格を選択することはできない。本発明は、半導体集積回路装置を用いるユーザーが用途に応じて入出力インターフェースの規格を決定することができるようにして、インターフェースに関する汎用性を高めることを目的とするものである。

【0004】

【課題を解決するための手段】 本発明では、入出力インターフェースに電圧レベルの異なる複数のバッファ回路を設け、ユーザー側でいずれかのバッファ回路を選択できるようにする。本発明ではまた、入出力インターフェースに駆動能力を選択できるバッファ回路を設け、このバッファ回路の駆動能力を選択できるようにする。本発明ではさらに、入出力インターフェースに駆動能力と電圧レベルとともに選択できるバッファ回路を設け、このバッファ回路の駆動能力と電圧レベルを選択できるようにする。

【0005】

【実施例】 図1は一実施例を概略的に示したものである。半導体集積回路装置の入出力信号線に複数の入出力バッファ回路4、6が並列に接続されている。2は半導

体集積回路装置の内部回路である。8はユーザー側でプログラム可能なスイッチング装置であり、例えばPROM、EPROMもしくはEEPROMなどのプロセス技術により、又は機械的なスイッチ装置などにより構成されている。E1、E2はそれぞれイネーブル信号であり、イネーブル信号E1、E2によりスイッチング装置8から入出力バッファ回路4又は6が選択されて活性状態となる。

【0006】 外部回路と選択された入出力バッファ回路4又は6の間で入出力信号S1が授受され、内部回路2と選択された入出力バッファ回路4又は6の間で入出力信号S2が授受される。入出力バッファ回路4と6はそれぞれ信号レベルの規格が互いに異なるバッファ回路である。

【0007】 図2及び図3は図1の実施例を入出力インターフェースと出力インターフェースにそれぞれ適用した例を示している。図2において、入力バッファ回路として4a、6aが設けられ、入力バッファ回路4aはイネーブル信号がハイレベルのときに活性状態となるTTLレベルの出力信号をもつバッファ回路、入力バッファ回路6aはイネーブル信号がローレベルのときに活性状態となるCMOSレベルの出力信号をもつバッファ回路である。8aはスイッチング装置の一例としてのスイッチ回路であり、スイッチ回路8aにつながらるイネーブル信号ラインは抵抗Rを介して電源端子Vccに接続されている。10は外部回路に接続される入力パッド、12は内部回路に接続される入力パッドである。

【0008】 図3の入出力インターフェースの動作を説明する。スイッチ回路8aが図のようにオフの状態にプログラムされると、イネーブル信号がハイレベルとなって入力バッファ回路4aが活性状態、入力バッファ回路6aが不活性状態となり、入力パッド10から12へはTTLレベルの入力バッファ回路4aを介して信号が入力される。一方、スイッチ回路8aがオン状態にプログラムされると、イネーブル信号がローレベルとなって入力バッファ回路6aが活性状態、入力バッファ回路4aが不活性状態となり、入力パッド10から12へはCMOSレベルの入力バッファ回路6aを介して信号が入力される。

【0009】 図3においては、図2と同じインターフェースが出力インターフェースとして利用され、内部回路に接続される出力パッド14と外部回路に接続される出力パッド16の間にこの出力インターフェースが接続されている。図3のインターフェースの構成及び動作は図2のものと同じである。

【0010】 このように、図2又は図3のインターフェースにより入力信号レベル又は出力信号レベルをユーザー側においてTTLレベルかCMOSレベルかに切り換えるようにプログラムすることができる。

【0011】 図4は出力インターフェースの他の実施例

(3)

特開平4-223617

を要す。図4で内部回路に接続される出力パッド14と外部回路に接続される出力パッド16の間に常に活性状態の出力バッファ回路22が接続されている。出力バッファ回路22と並列に他の出力バッファ回路20が接続され、出力バッファ回路20はプログラム可能なスイッチ回路8aのオン又はオフによりイネーブル信号を介して制御されて活性状態又は不活性状態になるように選択される。

【0012】図4の出力インターフェースの動作について説明する。このインターフェースが設けられている半導体集積回路装置の出力信号に大きな駆動能力が必要とされる場合には、スイッチ回路8aをオンになるようにプログラムを施して出力バッファ回路20を活性状態にする。これにより出力バッファ回路20と22がともに活性状態となって2個のバッファ回路が並列接続された出力バッファ回路として作用し、大きな駆動能力が発揮される。一方、大きな駆動能力が必要でない場合には、スイッチ回路8aがオフになるようにプログラムを施すと、バッファ回路20が不活性状態となり、出力バッファ回路22だけが作用する。このときは余分な消費電流を減らすことができる。

【0013】図2又は図3において、バッファ回路4a、6a又は4b、6bが出力信号の電圧レベルと駆動能力がともに異なるように設定されているとすると、スイッチ回路8aのプログラムにより信号レベルの選択と

駆動能力の選択とをともに備えたインターフェースとすることができる。

【0014】

【発明の効果】本発明では電圧レベルもしくは駆動能力、又はそれらの両方をユーザー側においてプログラム可能に選択できるようにしたので、同一種類の半導体集積回路装置であっても多様なインターフェース特性を発揮することができるようになり、このインターフェースを備えた半導体集積回路装置の利用範囲が広がり、汎用性が向上する。

【図面の簡単な説明】

【図1】一実施例を概略的に示すブロック図である。

【図2】入力インターフェースの一実施例を示す回路図である。

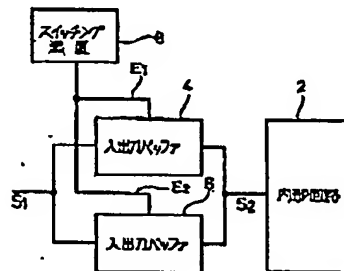
【図3】出力インターフェースの一実施例を示す回路図である。

【図4】出力インターフェースの他の実施例を示す回路図である。

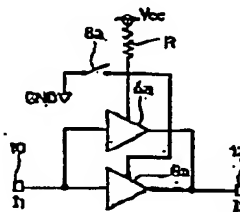
【符号の説明】

- 2 内部回路4、6 入出力バッファ回路
- 4a、6a 入力バッファ回路
- 4b、6b、20、22 出力バッファ回路
- 8 スwitchング装置
- 8a スwitch回路

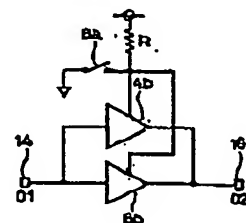
【図1】



【図2】



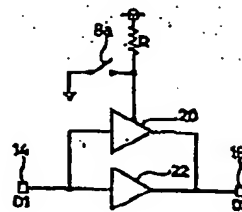
【図3】



(4)

特開平4-223617

【図4】



フロントページの続き

(51) Int. Cl. <sup>2</sup>	識別記号	序内整理番号	FI	技術表示箇所
H03K 19/173	101	7827-5J		
		7342-4M	H01L 27/08	321 J